



## Beschreibung

Die Erfindung betrifft einen Fehleranalysator für ein IC-Testgerät sowie ein Verfahren zur Fehleranalyse.

Ein derartiger Fehleranalysator eines IC-Testgerätes wird im allgemeinen zur Analyse von Ausgangsdaten eines Prüflings (Device Under Test DUT) eingesetzt, falls der Prüfling reparierbar ist. Zu diesem Zweck werden an die einzelnen Pins des Prüflings verschiedene Testmuster angelegt und die von dem Fehleranalysator erfaßten Ausgangsdaten des Prüflings mit Referenzdaten verglichen, die normalerweise am Ausgang des Prüflings auftreten sollten. Stellt der Fehleranalysator des IC-Testgerätes einen Unterschied zwischen den vorgegeben Referenzdaten und den am Ausgang des Prüflings auftretenden Ausgangsdaten fest, so wird das entsprechende Testmuster an dem entsprechenden Pin des Prüflings als fehlerhaft notiert. Diejenigen Testmuster, die an den Pins zu einem Fehler führen, d. h. zu einem Unterschied zwischen den vorgegebenen Referenzdaten und den von dem Fehleranalysator erfaßten Ausgangsdaten des Prüflings, sowie die entsprechenden Pins, an denen ein Fehler aufgetreten ist, werden graphisch dargestellt.

Fig. 4 zeigt die Darstellung von Fehlern, die in den Ausgangsdaten eines Prüflings auftreten, anhand eines bekannten IC-Testgeräts. Die Fehler werden horizontal in einer Kanalrichtung dargestellt, die in der Regel den einzelnen Eingangs- und Ausgangs-Pins des Prüflings entspricht. Vertikal werden die Fehler gemäß einer Zeitperiodenfolge dargestellt. Dies bedeutet, daß in einer Zeile jeweils die an den einzelnen Pins des Prüflings abgegriffenen Daten eines einzelnen Testmusters dargestellt werden, wobei sich in vertikaler Richtung das Testmuster ändert. Jedes in Fig. 4 gezeigte Quadrat entspricht somit einem von dem Fehleranalysator für einen bestimmten Pin und für ein bestimmtes Testmuster ermittelten Fehlerwert.

Gewöhnlich umfaßt jedoch ein Testmuster zum Testen eines Prüflings mehrere 1000 Wörter bis mehrere Millionen Wörter, so daß das gesamte Fehlerbild auf einer einzelnen Anzeige nur schwer bzw. nicht dargestellt werden kann. In Fig. 4 ist der Bildschirmbereich im Vergleich zu dem gesamten Fehlerbild dargestellt. Wie aus Fig. 4 ersichtlich, kann bei den bekannten IC-Testgeräten nicht mit Hilfe einer einzigen Bildschirmanzeige das gesamte Fehlerbild dargestellt werden.

Des weiteren ist bei den gegenwärtig auf dem Markt befindlichen IC-Testgeräten auch die Größe des Fehlerspeichers im Vergleich zu der Länge des maximalen Testmusters zu gering. Die Größe der bekannten Fehlerspeicher beträgt lediglich einige Hundertstel bis einige Zehntausendstel der erforderlichen Größe, die der Fehlerspeicher zum Speichern des vollständigen Fehlerbildes aufweisen müßte. Demzufolge ist es erforderlich, das Abspeichern der Fehlerinformationen einige 100mal bis einige 10 000mal zu wiederholen. Für den gesamten Speichervorgang werden somit ca. einige 10 Sekunden bis einige 10 Minuten benötigt, wobei diese Zeit abhängig von der Anzahl der Testmuster und der Anzahl der Fehlerspeicherworte ist.

Das Anzeigen des gesamten Fehlerbildes eines Prüflings und das gleichzeitige Auswerten des Fehlerbildes, d. h. das Erkennen aller für die einzelnen Testmuster auftretenden Fehler, ist daher sehr schwierig und benötigt eine lange Zeit.

Der Erfindung liegt daher die Aufgabe zugrunde, einen verbesserten Fehleranalysator für ein IC-Testgerät

und ein entsprechendes Fehleranalysierverfahren anzugeben. Insbesondere soll mit Hilfe des erfindungsgemäßen Fehleranalysators und dem entsprechenden Verfahren zur Fehleranalyse die zuvor beschriebenen Probleme beseitigt werden.

Die Aufgabe wird durch die in dem Patentanspruch 1 angegebenen Merkmale gelöst. Erfindungsgemäß wird ein Fehleranalysator vorgeschlagen, der eine Datenkomprimiervorrichtung enthält. Fehlerhafte Daten werden angezeigt.

Der Fehleranalysator für ein IC-Testgerät, mit dem Ausgangsdaten eines Prüflings analysiert werden, umfaßt eine Integriervorrichtung, die Fehlerinformationen aufintegriert, eine Einrichtung zum Festlegen der Integrationsperiode zum Bestimmen der Länge der Integrationsperiode und einen Vergleichs, der eine von der Einrichtung zum Festlegen der Integrationsperiode vorgegebene Anzahl mit dem Ausgangssignal eines Fehlerspeicher-Kontrollers (Data Fail Memory Controller) vergleicht, mit dem der Betriebsbeginn eines Fehlerspeichers (Data Fail Memory DFM) festgelegt wird. Der Ausgang des Vergleichers ist mit der Integriervorrichtung und einem Fehlerspeicher verbunden. Die zuvor beschriebenen Komponenten des erfindungsgemäßen Fehleranalysators bilden die erfindungsgemäße Datenkomprimiervorrichtung.

Bezüglich des Verfahrens zur Fehleranalyse wird die obige Aufgabe durch die Merkmale des Anspruchs 4 gelöst. Das erfindungsgemäße Verfahren zur Fehleranalyse in einem IC-Testgerät weist Datenkomprimierverfahrensschritte auf. Das erfindungsgemäße Datenkomprimierverfahren für ein IC-Testgerät, welches die Ausgangsdaten eines Prüflings analysiert, umfaßt die folgenden Verfahrensschritte:

- A) Die gesamte Anzeige zeigt keine fehlerhaften Daten an, d. h. sämtliche einzelnen Anzeigenfelder werden in einen fehlerfreien Zustand versetzt.
- B) Der Bereich n zwischen einem Anzeigebeginn und einem Anzeigenende wird festgelegt.
- C) Die Anzahl der Testmuster N wird festgelegt.
- D) Die Anzahl K der Fehlerdaten bzw. Ausgangsmuster des Prüflings, die zu komprimieren sind, wird nach folgender Formel berechnet:  $K = N/n$ .
- E) Der Prüfling wird getestet und Fehlerinformationen werden in dem Fehlerspeicher gespeichert.
- F) Für jede der mit K komprimierten Datengruppen wird nach einer Fehlerinformation in dem Fehlerspeicher gesucht und die Fehlerdaten werden auf dem Anzeigenbereich spezifiziert, falls ein Fehler entdeckt worden ist.
- G) Der unter F) genannte Verfahrensschritt wird bis zum Ende des Anzeigenbereiches wiederholt.

Die zuvor beschriebenen Verfahrensschritte bilden das erfindungsgemäße Datenkomprimierverfahren für den Fehleranalysator.

Es sei beispielsweise angenommen, daß die Anzahl K der zu komprimierenden Daten den Wert 4 annimmt. Erfindungsgemäß werden somit die Daten auf ein Viertel der ursprünglichen Daten komprimiert und in bestimmten Adressen des Fehlerspeichers gespeichert. Mit jedem Ausgangs-Speichersignal des Vergleichers wird das Integrationsergebnis eines Fehlersignals in den Fehlerspeicher eingelesen. Wird der Wert K geändert, so kann auf diese Weise die Komprimierrate geändert werden. Mit Hilfe des veränderbaren Werts des Fehlerspeicher-Kontrollers kann die Anfangsposition der Inte-

grienvorrichtung verändert werden. Somit können die Fehlerdaten an jeder beliebigen Position und mit jeder beliebigen Komprimierrate komprimiert und gespeichert werden.

Die Erfindung wird nachfolgend unter Bezugnahme auf die Zeichnungen näher beschrieben. Es zeigen:

Fig. 1 ein Blockdiagramm eines erfindungsgemäßen Ausführungsbeispiels.

Fig. 2 ein Betriebs-Zeitdiagramm des in Fig. 1 dargestellten erfindungsgemäßen Ausführungsbeispiels.

Fig. 3 eine schematische Darstellung des erfindungsgemäßen Datenkomprimierverfahrens, und

Fig. 4 eine schematische Darstellung einer Anzeige eines Fehleranalysators für einen Prüfling eines bekannten IC-Testgeräts, das gewöhnlich verwendet wird.

Nachfolgend wird unter Bezugnahme auf Fig. 1 ein erfindungsgemäßes Ausführungsbeispiel erläutert. Fig. 1 zeigt ein Blockdiagramm des erfindungsgemäßen Ausführungsbeispiels.

In diesem Blockdiagramm wird die Funktion der Datenkomprimierung dadurch realisiert, daß in einem konstanten Zeitintervall Integrationsinformationen integriert werden und die Integrationsinformationen in einen Fehlerspeicher eingelesen werden. Fig. 1 beschreibt dabei die Komprimierung für einen bestimmten Kanal (d. h. für einen bestimmten Pin des Prüflings).

In Fig. 1 ist ein zu testender Prüfling 1 (DUT) dargestellt. Mithilfe eines Vergleichers 2 werden die Ausgangsdaten des Prüflings 1 mit Vergleichsdaten verglichen und das Vergleichsergebnis in Form eines Fehlersignals FAIL ausgegeben. Stimmen die von dem Prüfling 1 ausgegebenen Daten mit den Vergleichsdaten überein, so nimmt das Fehlersignal FAIL die Fehlerinformation "0" an. Weichen jedoch die von dem Prüfling 1 abgegebenen Daten von den Vergleichsdaten ab, d. h. liegt ein Fehlerfall vor, so nimmt das Fehlersignal FAIL den Wert "1" an. Die Fehlerinformation des Fehlersignals FAIL wird über ein ODER-Gatter 62 und ein UND-Gatter 63 an den Eingangsanschluß eines Flipflops 61 angelegt. Der Ausgangsanschluß des Flipflops 61 ist mit einem Eingangsanschluß eines weiteren ODER-Gatters über ein UND-Gatter 64 verbunden. Mithilfe des Flipflop 61 wird die Fehlerinformation, wie nachfolgend noch erläutert wird, aufintegriert. Das Integrationsergebnis der Fehlerinformation wird bei Vorliegen eines Speichersignals STORE über das UND-Gatter 64 und das ODER-Gatter 65 in einen Fehlerspeicher 4 eingeschrieben. Das Speichersignal STORE wird dabei von einem weiteren Vergleichs 51 geliefert. Das invertierte Ausgangssignal des Vergleichers 51 liegt an einem anderen Eingang des UND-Gatters 63 an. Des weiteren liegt an dem anderen Eingang des ODER-Gatters 65 das Ausgangssignal des Vergleichers 2 an. An einen weiteren Eingang des UND-Gatters 64 liegt ein Modus-Auswahlsignal an, mit dem der Modus der erfindungsgemäßen Schaltung eingestellt werden kann. Nimmt das Modus-Auswahlsignal den Wert "0" an, so ist der gesamte Integrierzweig über die Gatter 61 bis 64 deaktiviert, so daß die Schaltung lediglich die bekannte Funktion ausführt. Nimmt das Modus-Auswahlsignal jedoch den Wert "1" an, so ist das UND-Gatter bezüglich des Ausgangssignals des Flipflops 61 sensibilisiert, d. h. die Integriervorrichtung mit den Gattern 61 bis 64 ist aktiviert. Mit Hilfe des Modus-Auswahlsignals kann somit die Funktion der Schaltung zwischen der herkömmlichen Funktion und der erfindungsgemäßen Funktion umgeschaltet werden.

Der Eingangsanschluß der Vergleichers 51, der das

Speichersignal STORE erzeugt, ist mit dem Ausgangs-anschluß eines Fehlerspeicher-Kontrollers verbunden. Der Fehlerspeicher-Kontroller bestimmt den Betriebsbeginn des Fehlerspeichers 4. Ein weiterer Eingangs-anschluß des Vergleichers 51 ist mit einer Einrichtung zum Festlegen der Integrationsperiode 52 verbunden, mit der die Länge K der Integrationsperiode vorgegeben wird. Der Wert K entspricht dabei der Anzahl an Daten, die in einer Gruppe komprimiert werden sollen. Das von dem Vergleichs 51 gelieferte Speichersignal STORE nimmt dann den Wert "1" an, wenn die Anzahl der von dem Fehlerspeicher-Kontroller 3 gelieferten Taktsignale dem Wert K entspricht. Nimmt das Speichersignal STORE den Wert "1" an, so wird einerseits der Fehlerspeicher 4 aktiviert, d. h. das Ausgangssignal des ODER-Gatters 65 wird in den Fehlerspeicher eingeschrieben und andererseits wird über den invertierten Eingang des UND-Gatters 63 das Flipflop 61 gelöscht. Ist der Fehlerspeicher 4 durch das Speichersignal STORE aktiviert, so wird in den Fehlerspeicher 4 über das ODER-Gatter 65 dann der Wert "1" eingeschrieben, wenn entweder das Fehlersignal FAIL einen Fehler meldet und den Wert "1" annimmt, oder die integrierte Fehlerinformation am Ausgang des UND-Gatters 64 einen Fehler meldet und den Wert "1" annimmt.

Nimmt das Speichersignal STORE den Wert "1" an, so werden die Fehlerdaten aufgrund des deaktivierten Flipflops 61 durch den invertierten Eingang des UND-Gatters 63 nicht integriert und liegen unmittelbar an dem Eingang des ODER-Gatters 65 an, so daß sie dann direkt in den Fehlerspeicher 4 eingeschrieben werden können.

Fig. 2 zeigt beispielhaft die Signalzeitverläufe während des Betriebs des in Fig. 1 dargestellten erfindungsgemäßen Ausführungsbeispiels.

Es sei angenommen, daß für die 24 von dem Prüfling gelieferten Daten als Integrationsperiode der Wert  $K = 4$  festgelegt sei. Somit werden die von dem Prüfling gelieferten Daten auf ein Viertel der ursprünglichen Daten komprimiert und, wie in Fig. 2 gezeigt, in die sechs Adressen von 0 bis 5 des Fehlerspeichers 4 gespeichert.

Wie aus Fig. 2 ersichtlich, werden mit jedem Taktsignal am Ausgang des Prüflings 1 Fehlerdaten abgegriffen und durch den Vergleichs 2 mit Vergleichsdaten verglichen. Liegt ein Fehler vor, in den Ausgangsdaten des Prüflings durch "1" gekennzeichnet, so nimmt der Ausgang des Vergleichers den Wert "1" an. Mit jedem Taktsignal, d. h. mit jedem neuen vom Prüfling 1 gelieferten Wert, wird das Ausgangssignal des Vergleichers 2 neu ermittelt und das Fehlersignal FAIL entsprechend aktualisiert. Nach jeweils  $K = 4$  Taktsignalen erzeugt der Vergleichs 51 ein Speichersignal STORE, d. h. das Speichersignal STORE nimmt für eine Taktperiode den Wert "1" an. In diesem Fall ist der Fehlerspeicher 4 aktiviert und das an dem Ausgang des ODER-Gatters 65 anliegende Signal wird in den Fehlerspeicher in diesem Fall an die Adresse 0, geschrieben. Da zum Aktivierungszeitpunkt des Fehlerspeichers 4 am Eingang des ODER-Gatters 65 das Fehlersignal FAIL den Wert "1" annimmt, wird in die Adresse 0 ebenfalls der Wert "1" geschrieben. Zugleich wird mit dem Vorhandensein des Speichersignals STORE der Eingang des Flipflops 61 gelöscht und somit das Flipflop 61 zurückgesetzt. Nach dem zweiten Speichersignal STORE tritt in den Daten des Prüflings 1 erneut ein Fehler auf. Das Fehlersignal FAIL, d. h. der Ausgang des Vergleichers 2, nimmt den Wert "1" an, wobei aufgrund der Sensibilisierung des UND-Gatters 63 durch das nichtvorhandene Speicher-

signal STORE auch das UND-Gatter 63 den Wert "1" und — eine Taktperiode verzögert — auch das Flipflop 61 den Wert "1" annehmen. Am Fehlerspeicher 4 liegt jedoch der Wert "1" an, sobald das Fehlersignal FAIL den Wert "1" angenommen hat, d. h. noch bevor der Ausgang des Flipflop 61 auf den Wert "1" liegt. Mit dem dritten Speichersignal STORE wird wiederum der Ausgang des ODER-Gatters 65, d. h. der Wert "1", in die Adresse 2 des Fehlerspeichers 4 übernommen.

Der Ausgang des Flipflop 61 ist nach jedem Speichersignal STORE für eine Taktperiode auf den Wert "0" gesetzt. Das Flipflop 61 nimmt in den darauffolgenden Taktperioden bis zum nächsten Speichersignal STORE immer dann den Wert "1" an, wenn in den ersten drei Perioden nach Vorhandensein eines Speichersignals STORE das Fehlersignal FAIL einen Fehler anzeigt und den Wert "1" annimmt. Mithilfe der die Gatter 61 bis 64 umfassenden Integriervorrichtung wird somit ein Fehlersignal innerhalb der ersten drei Taktsignale nach jeweils einem Speichersignal STORE aufintegriert. Mit Hilfe des ODER-Gatters 65, an dessen einen Eingangsanschluß direkt das Ausgangssignal des Vergleichers 2 anliegt, kann auch ein Fehler innerhalb der vierten Taktperiode nach Vorhandensein eines Speichersignals STORE überwacht werden, was aufgrund der Taktverzögerung des Flipflops 61 mit der Flipflopschaltung alleine nicht möglich wäre. Zusammenfassend kann somit festgestellt werden, daß insgesamt mit Hilfe der die Gatter 61 bis 65 umfassenden Integrationsschaltung ein Fehler innerhalb K Taktperioden in dem Fehlersignal FAIL aufintegriert wird, d. h. in den Fehlerspeicher wird ein Fehler dann eingeschrieben, wenn innerhalb zumindest einer dieser K Taktperioden das Fehlersignal FAIL den Wert "1" angenommen hat.

Im zuvor beschriebenen Beispiel ist das Integrationsintervall auf einen geraden Wert festgesetzt worden. Falls gewünscht, kann jedoch für das Integrations- bzw. Komprimierungsintervall ein beliebiger Wert festgelegt werden, in dem der von der Einrichtung zum Festlegen der Integrationsperiode 52 vorgebbare Wert K beliebig verändert wird. Somit kann auch die Dichte der komprimierten Daten beliebig verändert werden.

Nachfolgend wird unter Bezugnahme auf Fig. 3 ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens zur Fehleranalyse beschrieben. Das Verfahren wird softwaregestützt durchgeführt. Fig. 3 zeigt schematisch den Verfahrensablauf der Datenkomprimierung. Zunächst werden sämtliche Felder der Fehleranzeige in einen Zustand versetzt, der keinen Fehler anzeigt. Bei dem in Fig. 3 gezeigten Ausführungsbeispiel bedeutet dies, daß sämtliche Felder der Fehleranzeige gelöscht werden. Anschließend wird der Bereich n zwischen einem Anzeigebeginn und einem Anzeigende festgelegt. Bei dem in Fig. 3 gezeigten Ausführungsbeispiel wird in vertikaler Richtung, d. h. in Zeitperioden-Richtung komprimiert. Daher nimmt aufgrund des in der rechten Hälfte der Fig. 3 darstellbaren Anzeigenbereiches n den Wert 4 an. Danach wird die Anzahl der zu komprimierenden Daten, d. h. in diesem Fall die Anzahl der verschiedenen Testmuster, N festgelegt. In Fig. 3 nimmt N den Wert 18 an. Aufgrund der Werte n und N wird die Anzahl K der jeweils in einer Gruppe zu komprimierenden Daten nach folgender Formel berechnet:  $K = N/n$ . Abschließend wird der Prüfling (DUT) getestet und die Fehlerinformationen in dem Fehlerspeicher gespeichert. Für jede der komprimierten Datengruppen von K Daten wird in dem Fehlerspeicher eine Fehlerinformation gesucht, und falls ein komprimierter Fehler festge-

stellt worden ist, der Fehler in dem Anzeigenbereich spezifiziert und angezeigt.

Der vorhergehende Verfahrensschritt wird bis zum Ende des Anzeigenbereiches wiederholt.

Wie bereits zuvor beschrieben, wird bei dem in Fig. 3 dargestellten Ausführungsbeispiel lediglich in vertikaler Richtung, d. h. in Zeitfolgenrichtung komprimiert. Da als Anzeigenbereich lediglich der Wert  $n = 4$  gewählt worden ist, nimmt der Wert  $K = N/n$  den Wert  $18/4 = 4,5$  an und wird auf  $K = 5$  aufgerundet. Dies bedeutet, daß für jede Spalte des in der linken Hälfte in Fig. 3 dargestellten gesamten Fehlerbildes jeweils fünf Datenfelder komprimiert werden und in der rechten Anzeige ein Fehler angezeigt wird, wenn jeweils zumindest einer der mit K komprimierten Fehlerdaten einen Fehler aufweist. Da in keiner der ersten drei Spalten ein Fehler auftritt, wird auch in der komprimierten Anzeige für die ersten drei Spalten kein Fehler angezeigt. Beispielsweise tritt jedoch in der achten Spalte, vierten Zeile ein Fehler auf. Da auch in der achten Spalte jeweils fünf Fehler zu einer Fehlerzelle komprimiert werden, wird dieser Fehler in der rechten Anzeige in der achten Spalte, erste Zeile entsprechend dargestellt. Die dem in der achten Spalte ersten Fehler nachfolgenden zwei Fehler werden beide im zweiten Feld in der achten Spalte in der rechten Anzeige in einer Fehlerzelle zusammengefaßt. Die Anzahl K der zu komprimierenden Daten muß nicht festgelegt sein, der Wert K ist vielmehr beliebig veränderbar und kann auch für jeden Testvorgang neu eingestellt werden.

Wie zuvor beschrieben, kann die Datenkomprimierung sowohl mit Hardware (vgl. Fig. 1) als auch mit Software (vgl. Fig. 3) realisiert werden.

Soll die Datenkomprimierung mit Software realisiert werden, so kann die Anspruchsgeschwindigkeit des IC-Testgeräts während der Fehleranalyse langsamer werden. Aus diesem Grund ist die hardwaremäßige Realisierung der erfindungsgemäßen Datenkomprimierung für die Verfahrensgeschwindigkeit vorteilhaft.

Wie zuvor beschrieben, wurde die Datenkomprimierung für die Zeitperiodenrichtung durchgeführt. Auf analoge Weise können jedoch auch die Daten in Kanalrichtung komprimiert werden. Eine Kombination der beiden Komprimierungsarten ist ebenfalls denkbar. Dabei wird normalerweise die Datenkomprimierung in Kanalrichtung nach der Komprimierung für die Zeitperiodenrichtung durchgeführt. Wird mit Hilfe von Software die bereits in Zeitperiodenrichtung komprimierten Fehlerdaten in Kanalrichtung nochmals komprimiert, so wirkt sich dies nicht mehr nachteilig auf die Verfahrensgeschwindigkeit aus. Demzufolge kann diese Komprimierungsfunktion sowohl mit Hardware als auch mit Software realisiert werden.

Für den Fall, daß ein Testmuster zu lang ist, kann das Testmuster in mehrere Einzelmuster aufgeteilt werden. Die Einzelmuster bilden dann das gesamte Testmuster, in dem sie gemäß der Zeitperiodenrichtung zusammengesetzt werden.

Erfindungsgemäß kann des weiteren auch eine sogenannte Navigationsfunktion vorgesehen sein. Aufgrund der Darstellung von lediglich komprimierten Informationen, die der Summe von mehreren Fehlerinformationen in Zeitperiodenrichtung (wahlweise auch in Kanalrichtung) entsprechen, kann, wie in Fig. 3 gezeigt, das gesamte Fehlerbild in dem zur Verfügung stehendem Bildschirmbereich dargestellt werden. Durch Verändern der Komprimierrate, d. h. der Anzahl der zu komprimierenden Fehlerinformationen K, kann jedoch nachfol-

gend auch die komprimierte Anzeige auf die detaillierte Anzeige zurückgeschaltet werden, wenn nachfolgend der Wert von K verringert wird. Auf diese Weise kann zwischen der komprimierten Darstellung und der detaillierten bekannten Einzeldarstellung der Fehler umgeschaltet werden. 5

Mit Hilfe der zuvor beschriebenen Vorgehensweise kann das gesamte Fehlerbild für sehr lange Testmuster gleichzeitig dargestellt werden. Zudem können auch Fehlerdaten an jeder Position für jede Komprimierrate spezifiziert und dargestellt werden, so daß auch das gesamte detaillierte Fehlerbild anzeigbar ist. 10

Mit Hilfe der zuvor beschriebenen Erfindung wird ein Fehleranalysator für ein IC-Testgerät mit einer Komprimiervorrichtung und einem Komprimierverfahren geschaffen. Die gesamte Fehlersituation bzw. das gesamte Fehlerbild eines zu testenden Prüflings kann für sämtliche Testmuster, die zudem sehr lang sein können, gleichzeitig dargestellt werden, so daß eine hohe Effektivität der Fehleranalyse erreicht wird. 15 20

#### Patentansprüche

1. Fehleranalysator für ein IC-Testgerät zur Analyse von Ausgangsdaten einer zu testenden Vorrichtung (1), 25

gekennzeichnet durch

eine Komprimiervorrichtung, mit

— einer Einrichtung zum Festlegen einer Integrationsperiode (52), mit der die Länge der Integrationsperiode festlegbar ist, 30

— einem Vergleichs (51), der die von der Einrichtung zum Festlegen der Integrationsperiode (52) vorgegebenen Integrationsperiodenwerte mit einem Ausgangssignal eines Fehlerspeicher-Kontrollers (3) vergleicht, der den Betriebsbeginn eines Fehlerspeichers (4) bestimmt, und 35

— einer Integriervorrichtung (61), die Fehlerinformationen aufintegriert und durch den Ausgang des Vergleichers (51) gesteuert wird. 40

2. Fehleranalysator nach Anspruch 1, dadurch gekennzeichnet, daß die Integriervorrichtung (61) ein Flipflop ist.

3. Fehleranalysator nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Einrichtung zum Festlegen der Integrationsperiode (52) die Integrationsperiode in Echtzeit festlegt. 45

4. Verfahren zur Fehleranalyse von Ausgangsdaten eines von einem IC-Testgerät zu testenden Prüflings (1), 50

dadurch gekennzeichnet, daß

(A) sämtlichen Feldern eines Anzeigenbereiches ein fehlerfreier Status zugewiesen wird,

(B) der Bereich n zwischen einem Anzeigenbeginn und einem Anzeigenende ermittelt wird, 55

(C) die Anzahl N von Testmustern ermittelt wird,

(D) die Anzahl K der zu komprimierenden Ausgangsdaten berechnet wird, (E) der Prüfling getestet wird und Fehlerinformationen in einem Fehlerspeicher gespeichert werden, 60

(F) für jede komprimierte Datengruppe von K Daten in dem Fehlerspeicher (4) eine Fehlerinformation gesucht wird und die Fehlerdaten der Fehlerinformation in dem Anzeigenbereich spezifiziert werden, wenn ein Fehler ermittelt worden ist, und (G) der Verfahrens- 65

schritt (F) bis zum Ende des Anzeigenbereiches wiederholt wird.

Hierzu 3 Seite(n) Zeichnungen

FIG. 1

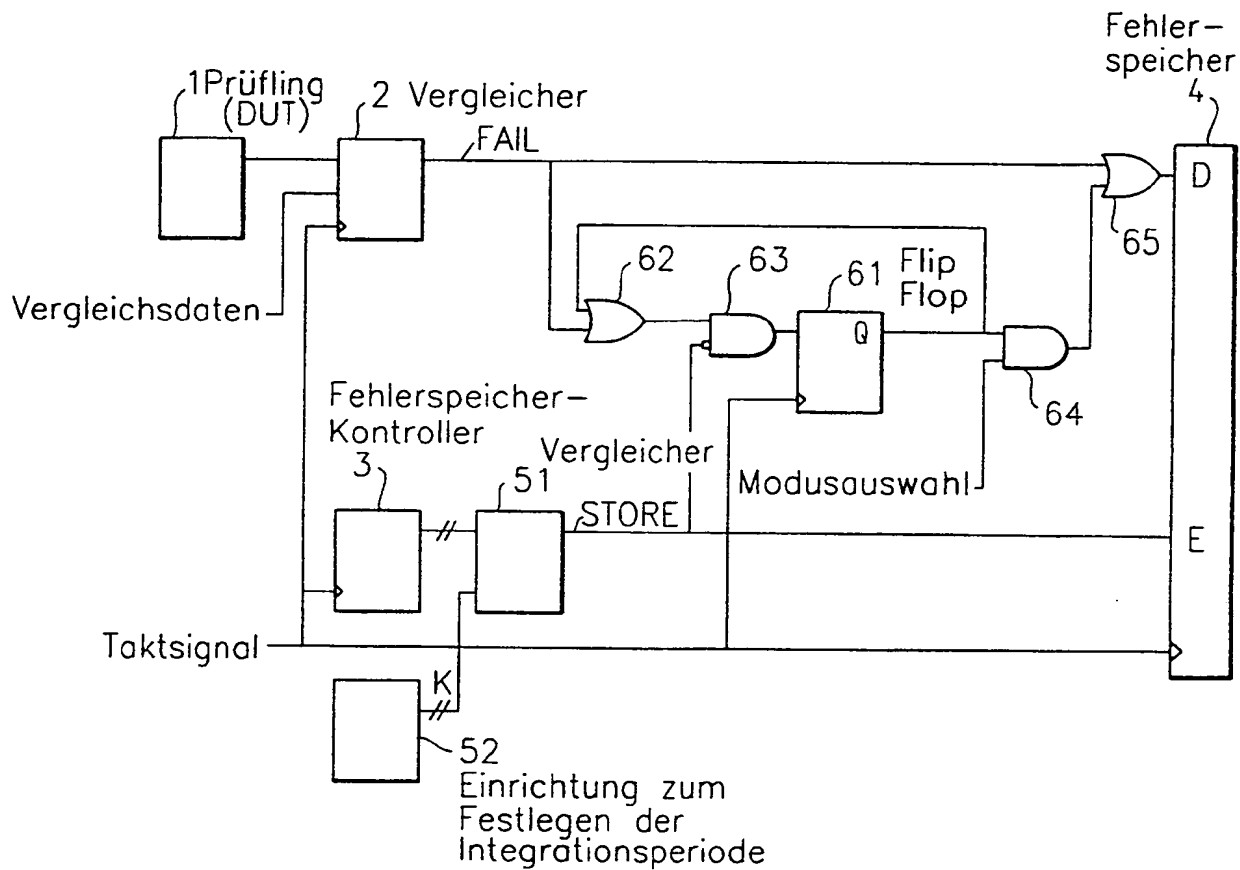


FIG. 2

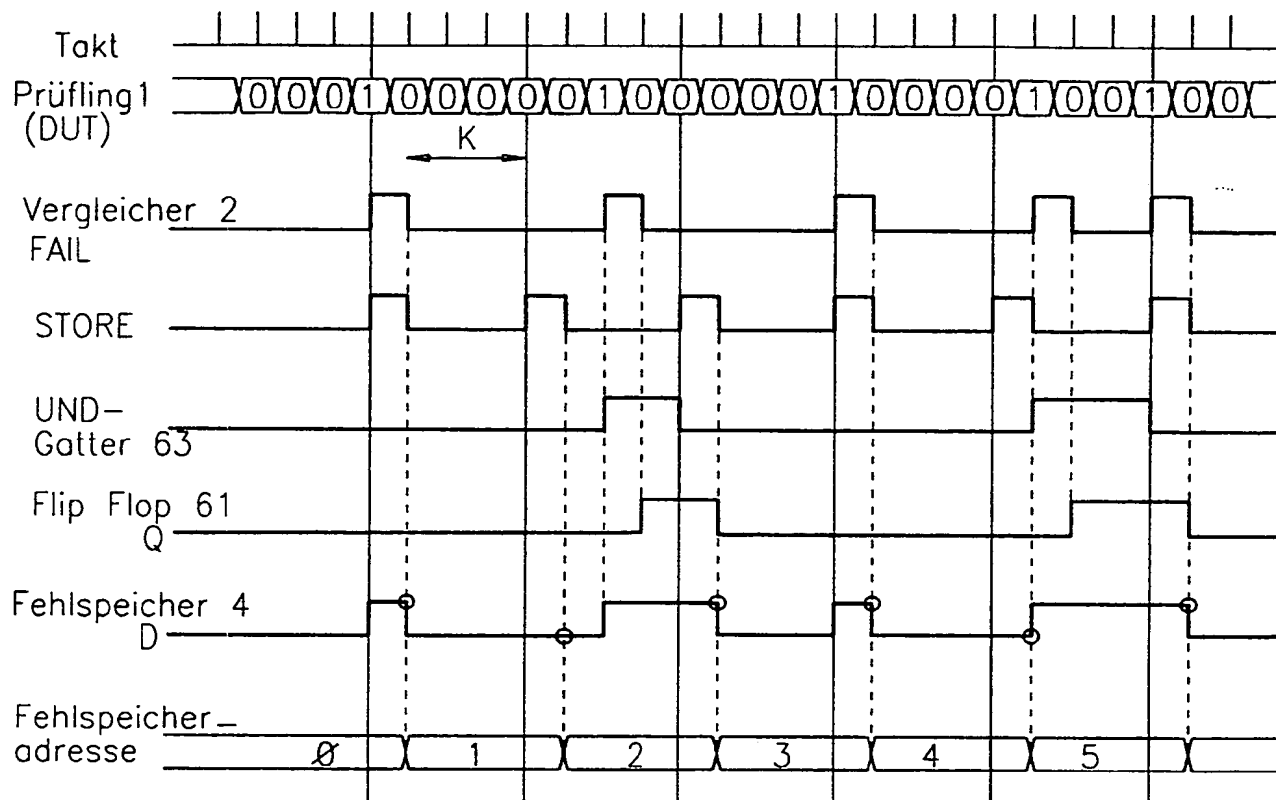


FIG. 3

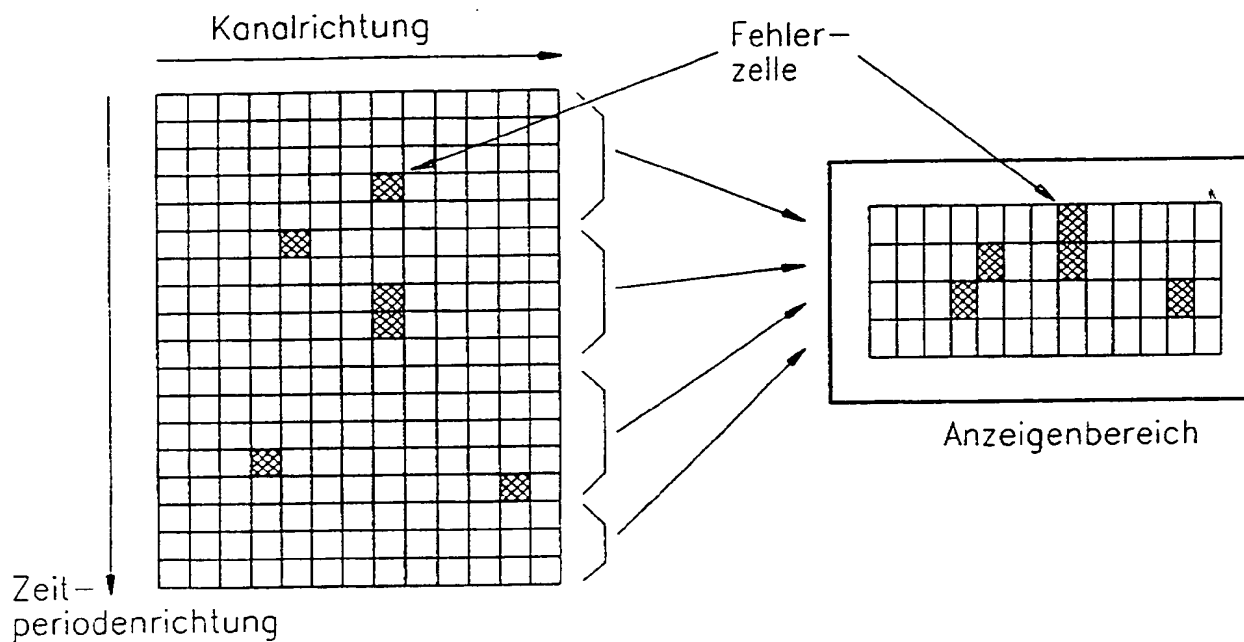


FIG. 4

